

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2002043697  
PUBLICATION DATE : 08-02-02

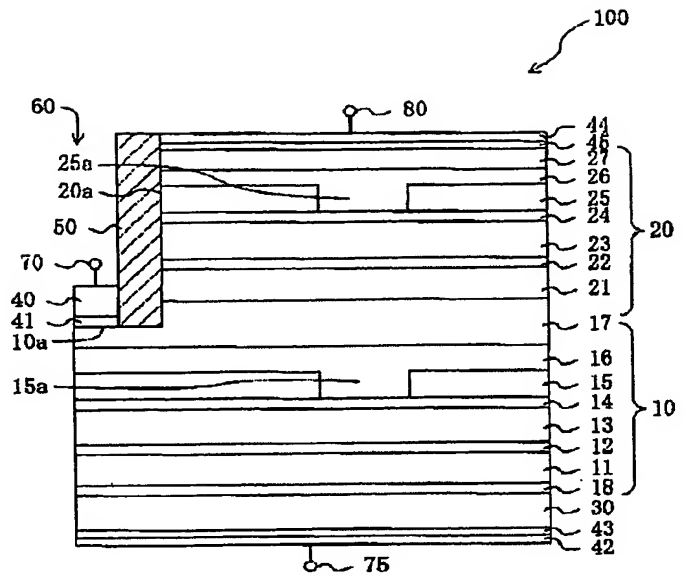
APPLICATION DATE : 25-07-00  
APPLICATION NUMBER : 2000223647

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : ONISHI SHUNICHI;

INT.CL. : H01S 5/40 H01S 5/223 H01S 5/323  
H01S 5/327 H01S 5/343

TITLE : SEMICONDUCTOR LASER DEVICE  
AND ITS MANUFACTURING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor laser device which is excellent in reliability.

SOLUTION: A semiconductor laser device 100 is provided with a first semiconductor laser structure 10 arranged on a substrate 30, a second semiconductor laser structure 20 which is arranged on the first semiconductor laser structure 10 and has a wavelength different from that of the first semiconductor laser structure 10, and an insulation film 50 covering the side surface 20a of the second semiconductor laser structure 20.

COPYRIGHT: (C)2002,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43697

(P2002-43697A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーム(参考)
H 0 1 S	5/40	H 0 1 S	5 F 0 7 3
	5/223		
	5/323		
	5/327		
	5/343		
審査請求 未請求 請求項の数13 O L (全 14 頁)			

(21) 出願番号 特願2000-223647 (P2000-223647)

(22) 出願日 平成12年7月25日 (2000.7.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 持田 篤範

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72) 発明者 大西 俊一

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

Fターム(参考) 5F073 AA09 AA13 AA53 AA55 AA74

AB06 BA05 CA05 CA14 CB07

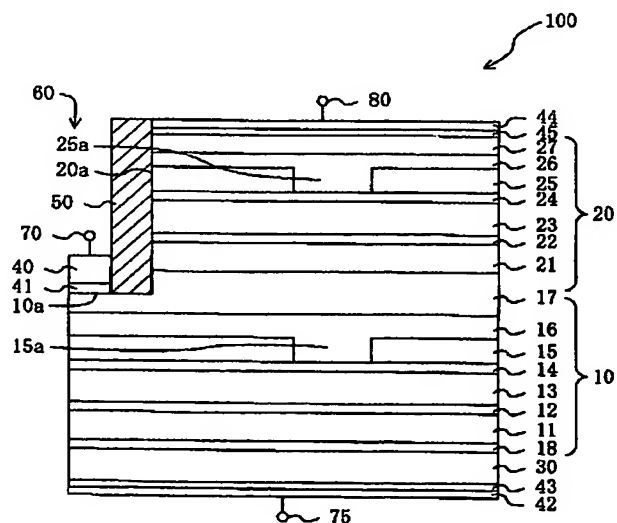
CB22 DA05 DA24 DA35 EA29

(54) 【発明の名称】 半導体レーザ装置およびその製造方法

(57) 【要約】

【課題】 優れた信頼性を有する半導体レーザ装置を提供すること。

【解決手段】 基板30上に配置された第1半導体レーザ構造10と、第1半導体レーザ構造10上に配置され、第1半導体レーザ構造10の発振波長と異なる発振波長を有する第2半導体レーザ構造20と、第2半導体レーザ構造20の側面20aを被覆する絶縁膜50とを備えた半導体レーザ装置100である。



## 【特許請求の範囲】

【請求項1】 基板上に配置された第1半導体レーザ構造と、

前記第1半導体レーザ構造上に配置され、前記第1半導体レーザ構造の発振波長と異なる発振波長を有する第2半導体レーザ構造と、

前記第2半導体レーザ構造の側面を被覆する絶縁膜とを備えた、半導体レーザ装置。

【請求項2】 基板上に配置された第1半導体レーザ構造と、

前記第1半導体レーザ構造上に一部に配置され、前記第1半導体レーザ構造の発振波長と異なる発振波長を有する第2半導体レーザ構造と、

前記第1半導体レーザ構造上のうちの前記第2半導体レーザ構造が配置された部分以外の領域の一部に設けられ、第1半導体レーザ構造および第2半導体レーザ構造のそれぞれの共通電極として機能する電極と、

前記電極が設けられた側面と前記第2半導体レーザ構造の側面と前記電極との間に設けられ、前記第2半導体レーザ構造の前記側面を被覆する絶縁膜とを備えた、半導体レーザ装置。

【請求項3】 前記第1半導体レーザ構造は、それぞれが第1材料の結晶成長によって形成された複数の層を含み、

前記第2半導体レーザ構造は、それぞれが第2材料の結晶成長によって形成された複数の層を含む、請求項1または2に記載の半導体レーザ装置。

【請求項4】 前記基板は、第1導電型半導体基板であり、

前記第1半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでおり、

前記第2半導体レーザ構造は、第2導電型クラッド層と、活性層と、第1導電型クラッド層とが下層から順に形成された多層構造部分を含んでいる、請求項3に記載の半導体レーザ装置。

【請求項5】 前記基板は、第1導電型半導体基板であり、

前記第1半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでおり、

前記第2半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでいる、請求項3に記載の半導体レーザ装置。

【請求項6】 前記第1半導体レーザ構造および前記第2半導体レーザ構造のそれぞれは、II-VI族半導体レーザ構造またはIII-V族半導体レーザ構造である、請求項1から4の何れかに記載の半導体レーザ装置。

【請求項7】 前記II-V族半導体レーザ構造は、A

IGaInP系半導体レーザ構造、AlGaAs系半導体レーザ構造、GaN系半導体レーザ構造、およびGaInAsP系半導体レーザ構造からなる群から選択された一つである、請求項6に記載の半導体レーザ装置。

【請求項8】 半導体基板を用意する工程と、前記半導体基板上に第1半導体レーザ構造を形成する工程と、

前記第1半導体レーザ構造上に第2半導体レーザ構造を形成する工程と、

前記第2半導体レーザ構造の一部を除去することによって、前記第2半導体レーザ構造に溝部を形成する工程と、

前記溝部内に露出した前記第2半導体レーザ構造の側面上に絶縁膜を形成する工程とを包含する、半導体レーザ装置の製造方法。

【請求項9】 第1半導体レーザ構造および第2半導体レーザ構造のそれぞれの共通電極として機能する電極を前記溝部の底面に形成する工程をさらに包含する、請求項8に記載の半導体レーザ装置の製造方法。

【請求項10】 前記絶縁膜を形成する工程は、前記溝部内に絶縁材料を堆積することによって、前記溝部内に露出した前記第2半導体レーザ構造の側面を前記絶縁材料で被覆する工程と、

前記第2半導体レーザ構造の側面と接触している部分以外の前記絶縁材料の一部を除去する工程とを包含する、請求項8または9に記載の半導体レーザ装置の製造方法。

【請求項11】 前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、600℃から800℃の範囲内の成長温度で実行される、請求項8から10の何れか一つに記載の半導体レーザ装置の製造方法。

【請求項12】 前記半導体基板を用意する工程は、第1導電型半導体基板を用意する工程であり、

前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、

前記第1導電型半導体基板上に、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第1材料の結晶成長によって順次形成する工程と、

前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層にストライプ状の第1開口部を形成する工程と前記第1開口部の底面上および前記第1導電型電流阻止層上に第2導電型第2クラッド層を前記第1材料の結晶成長によって形成する工程と、

前記第2導電型第2クラッド層上に、第2導電型のコンタクトバッファ層を形成する工程と、

前記第2導電型のコンタクトバッファ層上に、第2導電型クラッド層と、活性層と、第1導電型第1クラッド層

と、第2導電型電流阻止層とを、第2材料の結晶成長によって順次形成する工程と、

前記第2導電型電流阻止層の一部を選択的にエッチングすることによって、前記第2導電型電流阻止層に、前記第1開口部と平行な方向のストライプ状の第2開口部を形成する工程と、

前記第2開口部の底面上および前記第2導電型電流阻止層上に第1導電型第2クラッド層を前記第2材料の結晶成長によって形成する工程とを包含する、請求項8から11の何れか一つに記載の半導体レーザ装置の製造方法。

【請求項13】 前記半導体基板を用意する工程は、第1導電型半導体基板を用意する工程であり、

前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、

前記第1導電型半導体基板上に、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第1材料の結晶成長によって順次形成する工程と、

前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層にストライプ状の第1開口部を形成する工程と前記第1開口部の底面上および前記第1導電型電流阻止層上に、前記第1材料から構成された第2導電型第2クラッド層を形成する工程と、

前記第2導電型第2クラッド層上に、前記第1材料から構成された第2導電型コンタクト層を形成する工程と、前記第2導電型コンタクト層上にバッファ層を形成する工程と、

前記バッファ層上に、第2導電型バッファ層と、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第2材料の結晶成長によって順次形成する工程と、

前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層に、前記第1開口部と平行な方向に沿ってストライプ状の第2開口部を形成する工程と、

前記第2開口部の底面上および前記第2導電型電流阻止層上に、前記第2材料から構成された第1導電型第2クラッド層を形成する工程とを包含する、請求項8から11の何れか一つに記載の半導体レーザ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体レーザ装置およびその製造方法に関し、特に、発振波長の異なる2つのレーザ光を出射可能な半導体レーザ装置およびその製造方法に関する。

【0002】

【従来の技術】近年、多分野での需要の高まりを受け、色々な種類の半導体レーザの研究開発が進められてい

る。光情報処理分野においては、特に発振波長780nm帯のAlGaAs系半導体レーザを使用したコンパクトディスク(CD)等が広く普及している。さらに、高密度記録が可能で、高精細の画像を長時間再生可能な大容量のデジタルビデオディスク(DVD)が急速に普及してきている。このDVD再生用の半導体レーザには、発振波長650nm帯のAlGaInP系の半導体レーザが使用されている。

【0003】現在のDVD機器では、DVDおよびCD-Rのいずれも再生可能な互換性を有しているものが一般的であるため、DVD機器の光ピックアップには、DVD用の650nm帯のAlGaInP系半導体レーザに加えて、CD-Rディスクを読み出すための780nm帯のAlGaAs系半導体レーザを搭載している構成のものが一般的となっている。しかし、この構成では、2つのレーザを個別に搭載することとなるため、光ピックアップのサイズが大きくなり、その結果、DVD機器のサイズも大きくなってしまふ。これに対して、2つの半導体レーザを同一基板上に並べて実装するハイブリッド実装技術、または2つの半導体積層構造を1つの基板上に並列に作製するモノリシック化技術が開発されており、これらの技術によって、光ピックアップの部品の削減やサイズの小型化を図ることが検討されている。例えば、図13に示すような構成を有するモノリシック2波長レーザ装置が特開平11-112108号公報に開示されている。

【0004】図13は、上記公報に開示されたレーザ装置の構成を模式的に示している。図13に示したレーザ装置1000は、n型GaAs基板130上に配置された第1半導体レーザ構造(発振波長:650nm)110と、その上に配置された第2半導体レーザ構造(発振波長:780nm)120とを備えている。第2半導体レーザ構造120の側面120aから所定の間隔をおいて、第1半導体レーザ構造110の上面の一部にp型電極140が設けられている。p型電極140は、第1半導体レーザ構造110および第2半導体レーザ構造120のそれぞれの共通電極として機能する。なお、基板130の底面および第2半導体レーザ構造120の上面には、それぞれ、n側電極142および144が設けられている。

【0005】第1半導体レーザ構造110は、基板130側から順に、n型クラッド層111、活性層(3We11-SMQW-SC H活性層)112と、第1のp型クラッド層113、エッチングストップ層114、n型電流阻止層115(および第2のp型クラッド層115a)、p型コンタクト層116とを有している。一方、第2半導体レーザ構造120は、p型コンタクト層116側から順に、p型クラッド層121、活性層122と、第1のn型クラッド層123、エッチングストップ層124、p型電流阻止層125(および第2のn型ク

ラッド層125a)、n型コンタクト層126とを有している。

【0006】

【発明が解決しようとする課題】上記従来の半導体レーザ装置1000の場合、第1半導体レーザ構造110の上面の一部にp型電極140が設けられているため、第2半導体レーザ構造120の側面120aにプロセス上の電流リークが生じるおそれがある。すなわち、p型電極140を作製する際に、電極材料が側面120aに蒸着して電流リークが生じるおそれがある。また、第2半導体レーザ構造120の側面120aが露出しているため、組み立て上の電流リークが生じる可能性もある。

【0007】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、優れた信頼性を有する半導体レーザ装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明による半導体レーザ装置は、基板上に配置された第1半導体レーザ構造と、前記第1半導体レーザ構造上に配置され、前記第1半導体レーザ構造の発振波長と異なる発振波長を有する第2半導体レーザ構造と、前記第2半導体レーザ構造の側面を被覆する絶縁膜とを備えている。

【0009】本発明による他の半導体レーザ装置は、基板上に配置された第1半導体レーザ構造と、前記第1半導体レーザ構造上に一部に配置され、前記第1半導体レーザ構造の発振波長と異なる発振波長を有する第2半導体レーザ構造と、前記第1半導体レーザ構造上のうちの前記第2半導体レーザ構造が配置された部分以外の領域の一部に設けられ、第1半導体レーザ構造および第2半導体レーザ構造のそれぞれの共通電極として機能する電極と、前記電極が設けられた側の前記第2半導体レーザ構造の側面と前記電極との間に設けられ、前記第2半導体レーザ構造の前記側面を被覆する絶縁膜とを備えている。

【0010】ある実施形態では、前記第1半導体レーザ構造は、それぞれが第1材料の結晶成長によって形成された複数の層を含み、前記第2半導体レーザ構造は、それぞれが第2材料の結晶成長によって形成された複数の層を含んでいる。

【0011】ある実施形態では、前記基板は、第1導電型半導体基板であり、前記第1半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでおり、前記第2半導体レーザ構造は、第2導電型クラッド層と、活性層と、第1導電型クラッド層とが下層から順に形成された多層構造部分を含んでいる。

【0012】ある実施形態では、前記基板は、第1導電型半導体基板であり、前記第1半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでお

り、前記第2半導体レーザ構造は、第1導電型クラッド層と、活性層と、第2導電型クラッド層とが下層から順に形成された多層構造部分を含んでいる。

【0013】前記第1半導体レーザ構造および前記第2半導体レーザ構造のそれぞれは、II-VI族半導体レーザ構造またはIII-V族半導体レーザ構造であればよい。

【0014】前記III-V族半導体レーザ構造は、AlGaInP系半導体レーザ構造、AlGaAs系半導体レーザ構造、GaN系半導体レーザ構造、およびGaInAsP系半導体レーザ構造からなる群から選択された一つであればよい。

【0015】本発明による半導体レーザ装置の製造方法は、半導体基板を用意する工程と、前記半導体基板上に第1半導体レーザ構造を形成する工程と、前記第1半導体レーザ構造上に第2半導体レーザ構造を形成する工程と、前記第2半導体レーザ構造の一部を除去することによって、前記第2半導体レーザ構造に溝部を形成する工程と、前記溝部内に露出した前記第2半導体レーザ構造の側面上に絶縁膜を形成する工程とを包含する。

【0016】ある実施形態では、第1半導体レーザ構造および第2半導体レーザ構造のそれぞれの共通電極として機能する電極を前記溝部の底面に形成する工程をさらに包含する。

【0017】ある実施形態では、前記絶縁膜を形成する工程は、前記溝部内に絶縁材料を堆積することによって、前記溝部内に露出した前記第2半導体レーザ構造の側面を前記絶縁材料で被覆する工程と、前記第2半導体レーザ構造の側面と接触している部分以外の前記絶縁材料の一部を除去する工程とを包含する。

【0018】前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、600℃から800℃の範囲内の成長温度で実行されることが好ましい。

【0019】ある実施形態では、前記半導体基板を用意する工程は、第1導電型半導体基板を用意する工程であり、前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、前記第1導電型半導体基板上に、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第1材料の結晶成長によって順次形成する工程と；前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層にストライプ状の第1開口部を形成する工程と；前記第1開口部の底面上および前記第1導電型電流阻止層上に第2導電型第2クラッド層を前記第1材料の結晶成長によって形成する工程と；前記第2導電型第2クラッド層上に、第2導電型のコンタクトバッファ層を形成する工程と；前記第2導電型のコンタクトバッファ層上に、第2導電型クラッド層と、活性層と、第1導電型第1クラッド層と、第2導電型電流阻止層とを、第2材料の結晶成

長によって順次形成する工程と；前記第2導電型電流阻止層の一部を選択的にエッチングすることによって、前記第2導電型電流阻止層に、前記第1開口部と平行な方向のストライプ状の第2開口部を形成する工程と；前記第2開口部の底面上および前記第2導電型電流阻止層上に第1導電型第2クラッド層を前記第2材料の結晶成長によって形成する工程とを包含する。

【0020】ある実施形態では、前記半導体基板を用意する工程は、第1導電型半導体基板を用意する工程であり、前記第1半導体レーザ構造を形成する工程および前記第2半導体レーザ構造を形成する工程は、前記第1導電型半導体基板上に、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第1材料の結晶成長によって順次形成する工程と；前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層にストライプ状の第1開口部を形成する工程と；前記第1開口部の底面上および前記第1導電型電流阻止層上に、前記第1材料から構成された第2導電型第2クラッド層を形成する工程と；前記第2導電型第2クラッド層上に、前記第1材料から構成された第2導電型コンタクト層を形成する工程と；前記第2導電型コンタクト層上にバッファ層を形成する工程と；前記バッファ層上に、第2導電型バッファ層と、第1導電型クラッド層と、活性層と、第2導電型第1クラッド層と、第1導電型電流阻止層とを、第2材料の結晶成長によって順次形成する工程と；前記第1導電型電流阻止層の一部を選択的にエッチングすることによって、前記第1導電型電流阻止層に、前記第1開口部と平行な方向に沿ってストライプ状の第2開口部を形成する工程と；前記第2開口部の底面上および前記第2導電型電流阻止層上に、前記第2材料から構成された第1導電型第2クラッド層を形成する工程とを包含する。

【0021】

【発明の実施の形態】図面を参照しながら、本発明による実施形態を説明する。以下の図面においては、説明を簡単にするために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は、以下の実施形態に限定されない。

(実施形態1)図1および図2を参照しながら、本発明による実施形態1の説明をする。図1は、本実施形態の半導体レーザ装置100の構成を模式的に示している。

【0022】レーザ装置100は、基板30上に配置された第1半導体レーザ構造10と、第1半導体レーザ構造10上に配置された第2半導体レーザ構造20と、第2半導体レーザ構造20の側面20aを被覆する絶縁膜50とを備えている。第1半導体レーザ構造10と第2半導体レーザ構造20とはそれぞれ異なる発振波長を有している。本実施形態では、基板30上に第1半導体レーザ構造10および第2半導体レーザ構造20が垂直な

方向に順に集積されている。

【0023】第1半導体レーザ構造10上のうちの第2半導体レーザ構造20が配置された部分以外の領域10aの一部には、電極40が設けられている。電極40が設けられた側の第2半導体レーザ構造20の側面20aと電極40との間に絶縁膜50は位置している。すなわち、電極40は、絶縁膜50の外側に位置している。電極40は、第1半導体レーザ構造10および第2半導体レーザ構造20のそれぞれの共通電極として機能し、図1に示した構成では、電極40は、p型を共通にするp側Au電極である。電極40は、p型のオーミック接触をとるためのオーミック電極（例えば、Cr/Pt）41を介して、第1半導体レーザ構造10および第2半導体レーザ構造20に共通のp型コンタクト・バッファ層17に電氣的に接続されている。

【0024】第1半導体レーザ構造10は、それぞれが第1材料の結晶成長によって形成された複数の層を含んでおり、第2半導体レーザ構造20は、それぞれが第2材料の結晶成長によって形成された複数の層を含んでいる。本実施形態では、第1半導体レーザ構造10は、AlGaAs系半導体レーザ構造（発振波長：780nm帯）であり、第2半導体レーザ構造20は、AlGaN系半導体レーザ構造（発振波長：650nm帯）である。第1半導体レーザ構造10の下に位置する基板30は、例えばn型半導体基板である。n型半導体基板30としては、n型GaAsの(100)面方位を有する基板、または(100)面から5～15°オフした面を主面とする基板を使用することができる。

【0025】n型GaAs基板30の下面には、n型のオーミック接触をとるためのオーミック電極(AuGe/Ni)43およびn側Au電極42が順に形成されている。一方、第2半導体レーザ構造20の上面には、n型のオーミック接触をとるためのオーミック電極(AuGe/Ni)45およびn側Au電極44が順に形成されている。第1半導体レーザ構造10は、n型クラッド層11と、活性層12と、p型クラッド層13とが下層から順に形成された多層構造部分を含んでおり、一方、第2半導体レーザ構造20は、p型クラッド層21と、活性層22と、n型クラッド層24とが下層から順に形成された多層構造部分を含んでいる。従って、電極40、42、および44をそれぞれ端子70、75、および80とした場合、本実施形態の半導体レーザ装置100は、図2に示すような回路構造となる。

【0026】本実施形態の構成を具体的に述べると次のようになる。AlGaAs系半導体レーザ構造10は、n型GaAs基板30上に形成されたn型GaAsバッファ層18、n型AlGaAsクラッド層11、AlGaAsバルク活性層12、p型AlGaAs第1クラッド層13、n型AlGaAsエッチングストップ層14、開口部15aを有するn型AlGaAs電流阻止層

15、p型AlGaAs第2クラッド層16、p型GaAsコンタクト・バッファ層17が下層から順に形成された構造を有している。一方、AlGaInP系半導体レーザ構造20は、p型GaAsコンタクト・バッファ層17上に形成されたp型AlGaInPクラッド層21、GaInP/AIGaInP量子井戸活性層22、n型AlGaInP第1クラッド層23、p型GaInPエッチングストップ層24、開口部25aを有するp型AlInP電流阻止層25、n型AlGaInP第2クラッド層26、n型GaAsコンタクト層27が下層から順に形成された構造を有している。開口部15aおよび25aは、それぞれ電流狭窄となるストライプ状（短冊状）の窓であり、これによって光導波路を実現する。

【0027】AlGaInP系半導体レーザ構造20の一部には、側面20aを露出する溝60がp-コンタクト・バッファ層17の途中まで形成されており、側面20a上には絶縁膜50が形成されている。絶縁膜50は、例えば、窒化シリコン（ $\text{Si}_x\text{N}_y$ ）、酸化シリコン（ $\text{SiO}_2$ ）、アルミナ（ $\text{Al}_2\text{O}_3$ ）などから構成されている。本実施形態では、絶縁膜50は、窒化シリコンから構成されており、絶縁膜50の厚さは $3\mu\text{m}\sim 10\mu\text{m}$ 程度である。なお、絶縁膜50は、側面20aの全面を被覆するように形成されていることが好ましいが、側面の20aの一部を被覆するように形成しても、半導体レーザ装置の信頼性を従来技術よりも向上させることができる。絶縁膜50の側面には、AlGaAs系半導体レーザ構造10およびAlGaInP系半導体レーザ構造20のp側電極となる電極（Cr/Pt）41および電極（Au）40が設けられている。

【0028】次に、レーザ装置100の動作について説明する。p側電極40とn側電極44との間に電流を流した場合、電流阻止層25には電流が流れずに、開口部（ストライプ状の窓）25aの部分に選択的に電流が流れて、発振波長650nm帯を有するAlGaInP系半導体レーザ構造20の発振を行うことができる。一方、p側電極40とn側電極42との間に電流を流した場合、電流阻止層15には電流が流れずに、開口部（ストライプ状の窓）15aの部分に選択的に電流が流れて、発振波長780nm帯を有するAlGaAs系半導体レーザ構造10の発振を行うことができる。

【0029】本実施形態では、発振波長650nm帯のAlGaInP系半導体レーザ構造（第2半導体レーザ構造）20の側面20aに絶縁膜50が形成されているため、プロセス上での電流リークおよび組み立て上での電流リークを防ぐことができ、その結果、レーザ装置の歩留まりを上げることが可能となる。

【0030】なお、本実施形態では、第1半導体レーザ構造10と第2半導体レーザ構造20との組合せとして、AlGaAs系半導体レーザ構造とAlGaInP

系半導体レーザ構造との組み合わせを例にして説明したが、この組合せに限定されず、例えば、II-VI族半導体レーザ素子、III-V族半導体レーザ素子の群から2種類を組み合わせ、第1半導体レーザ構造10および第2半導体レーザ構造20として適用することができる。III-V族半導体レーザ素子としては、例えば、AlGaInP系半導体レーザ素子、AlGaAs系半導体レーザ素子、GaIn系半導体レーザ素子、およびGaInAsP系半導体レーザ素子を挙げることができる。

【0031】次に、図3から図5を参照しながら、本実施形態の半導体レーザ装置100の製造方法を説明する。本実施形態の製造方法は、まず、半導体基板30を用意した後、その上に、第1半導体レーザ構造10および第2半導体レーザ構造を形成する。次に、第2半導体レーザ構造20の一部を除去することによって、第2半導体レーザ構造20に溝部60を形成し、次いで、溝部60内に露出した第2半導体レーザ構造20の側面20a上に絶縁膜50を形成する。その後、電極40～45を形成することによって、半導体レーザ装置100を得る。以下、さらに具体的に説明する。

【0032】まず、n型半導体基板（n型GaAs基板）30を用意した後、図3（a）に示すように、有機金属成長（MOCVD）法を用いて、800℃程度の成長温度にて、n型GaAsバッファ層18、n型AlGaAsクラッド層11、AlGaAsバルク活性層12、p型AlGaAs第1クラッド層13、n型AlGaAsエッチングストップ層14、n型AlGaAs電流阻止層15を順次結晶成長させる。

【0033】次に、図3（b）に示すように、n型AlGaAs電流阻止層15の一部を選択的に除去することによって、電流狭窄となるストライプ状の窓（開口部）15aを形成し、それによって導波路を実現する。ストライプ状の窓15aの形成は、次のようにすればよい。まず、電流阻止層15の上に有機レジストを塗布した後、フォトリソグラフィ法によって、有機レジストをストライプ状にパターンニングする。次に、電流阻止層15の一部をウェットエッチングによって除去すると、ストライプ状の窓15aが得られる。その後、有機レジストを除去する。

【0034】次に、図3（c）に示すように、例えば、有機金属成長（MOCVD）法を用いて、800℃程度の成長温度にて、p型AlGaAs第2クラッド層16、p型GaAsコンタクト・バッファ層17を順次形成することによって、第1半導体レーザ構造10を作製した後、このまま続けて、第2半導体レーザ構造（650nm帯のAlGaInP系半導体レーザ構造）20の作製を行う。

【0035】第2半導体レーザ構造20の作製は次のようにすればよい。まず、p型AlGaInPクラッド層21、GaInP/AIGaInP量子井戸活性層2



2、n型AlGaInP第1クラッド層23、p型GaInPエッチングストップ層24、p型AlInP電流阻止層25を順次結晶成長させる。次に、電流阻止層25上に有機レジストをストライプ状にパターンニングした後、電流阻止層25の一部をウェットエッチングによって除去し、それによって、電流狭窄となるストライプ状の窓（開口部）25aを形成し、導波路を実現する。その後、有機レジストを除去する。次に、例えば、有機金属成長（MOCVD）法によって、800℃程度の成長温度にて、n型AlGaInP第2クラッド層26、n型GaAsコンタクト層27を順次形成して、第2半導体レーザ構造20を得る。

【0036】次に、P側電極40を作製する。P側電極40は、次のようにして作製される。まず、図3（d）に示すように、n型GaAsコンタクト層27の上に有機レジストを塗布した後、パターンニングし、次いで、例えば、ドライエッチング法によって、p型GaAsコンタクト・バッファ層17の途中の深さまでエッチングする。このエッチングによって、第2半導体レーザ構造20の側面20aを露出する溝部60が形成されることになる。その後、有機レジストを除去する。

【0037】次に、図4（a）に示すように、溝部60内に露出した側面20a上に、絶縁膜（側面保護膜）50を形成する。絶縁膜50の形成は、図5（a）～（e）に示すようにして行えばよい。

【0038】まず、第2半導体レーザ構造20の一部に溝部60が形成された図5（a）に示す構成（図3（d）参照）における第2半導体レーザ構造20の上面（n型GaAsコンタクト層27）および溝部60の底面（p型GaAsコンタクト・バッファ層17）の上に、図5（b）に示すように、例えばプラズマCVD法を用いてSiO<sub>2</sub>やSiNなどの絶縁材料52を堆積する。SiNの場合の成膜条件を示すと、ガス流量については、SiH<sub>4</sub>が20sccm、NH<sub>3</sub>が100sccm、N<sub>2</sub>が200sccmであり、反応圧は0.65Torr（約87Pa）であり、基板加熱温度は250℃である。絶縁材料52の堆積は、側面20aの全面を覆うように行われ、例えば、溝部60の凹部が絶縁材料52によって埋まるまで行われる。

【0039】次に、図5（c）に示すように、絶縁膜50の上面を規定するレジストパターン54を、有機レジストの塗布およびパターンニングによって作製する。次いで、図5（d）に示すように、例えば、ウェットエッチング法によって、SiO<sub>2</sub>膜またはSiN膜などの絶縁膜50を形成し、その後、図5（e）に示すように、絶縁膜57上の有機レジストを除去する。また、例えば、CF<sub>4</sub>ガスを用いたドライエッチング法などによって絶縁膜50を形成することもできる。このようにして、図4（a）に示した構成が得られる。

【0040】次に、図4（b）に示すように、p型のオ

ーミックをとるための電極（Cr/Pt）41およびp側Au電極40を溝部60の底面に形成する。電極41および40の形成は、次のようにして行われる。まず、図4（a）の構成におけるn型GaAsコンタクト層27の上面および絶縁膜50の上面を覆うレジストパターンを、有機レジストの塗布およびパターンニングによって形成した後、例えば、真空蒸着法を用いて、クロム（Cr）膜、白金（Pt）膜、金（Au）膜を順次蒸着して上面全体に形成する。その後、このレジストパターン上に位置するCr膜、Pt膜、Au膜を、例えば、アセトン超音波洗浄によってリフトオフすると、p型のオーミックをとるためのCr/Pt電極41および、Au電極パターン40が得られる。

【0041】次に、絶縁膜50の上面と電極40の上面に、有機レジストをパターンニングすることによってレジストパターンを作製した後、例えば、真空蒸着法によって、AuGe/Ni膜、およびAu膜を上面全体に蒸着して形成する。このレジストパターンの上に形成されたAuGe/Ni膜、Au膜を例えば、アセトン超音波洗浄によりリフトオフして、図4（c）に示すように、n型のオーミックをとるための電極（AuGe/Ni）45およびn側Au電極パターン44を形成する。続いて、上記工程と同様にして、n型GaAs基板30の裏面の全面に、例えば真空蒸着法を用いて、n型のオーミックをとるための電極（AuGe/Ni）43およびn側Au電極パターン42を形成する。以上の工程を行うことによって、図1に示した半導体レーザ装置100を作製することができる。

【0042】本実施形態の製造方法によれば、第2半導体レーザ構造20の側面20aを絶縁膜50によって被覆した状態で、共通電極40を作製することができる。このため、共通電極40の作製の際に、共通電極40の金属材料が側面20aに蒸着することを防止することができるため、歩留まりを向上させることができる。

（実施形態2）図6および図7を参照しながら、本発明による実施形態2を説明する。本実施形態にかかる半導体レーザ装置では、第2半導体レーザ構造20においてn型クラッド層と活性層とp型クラッド層とが下層から順に形成されており、この点が、p型クラッド層と活性層とn型クラッド層とが下層から順に形成されている上記実施形態1の半導体レーザ装置100と異なる。なお、本実施形態および後述する実施形態の説明を簡単にするために、実施形態1と異なる点を主に説明し、実施形態1と同様の点の説明は省略または簡略化する。

【0043】図6は、本実施形態における半導体レーザ装置200の断面を模式的に示している。半導体レーザ装置200は、上記実施形態1と同様に、n型半導体基板30上に第1半導体レーザ構造10と第2半導体レーザ構造20とが垂直な方向に集積された構成を有している。また、第2半導体レーザ構造20の側面20aに



は、絶縁膜50が形成されており、溝部60の底面に位置する電極は、n・p型を共通にする電極構造(40'、41a、41b)を有している。電極40'、42、および39をそれぞれ端子70、75、および80とした場合、本実施形態の半導体レーザ装置200は、図7に示すような回路構造となる。

【0044】本実施形態の構成を具体的に述べると次のようになる。半導体レーザ装置200は、n型GaAs基板30上に780nm帯の発振波長を有するAlGaAs系半導体レーザ構造10と、650nm帯の発振波長を有するAlGaInP系半導体レーザ構造20を有している。n型GaAs基板30には、n型のオーミックをとるための電極(AuGe/Ni)43、n側Au電極42が形成されている。

【0045】AlGaAs系半導体レーザ構造10は、n型GaAs基板30上に、n型GaAsバッファ層18、n型AlGaAsクラッド層11、AlGaAsバルク活性層12、p型AlGaAs第1クラッド層13、n型AlGaAsエッチングストップ層14、n型AlGaAs電流阻止層15、p型AlGaAs第2クラッド層16、p型GaAsコンタクト層17、GaAsバッファ層31を有している。一方、AlGaInP系半導体レーザ構造20は、GaAsバッファ層31上に、n型GaAsバッファ層32、n型AlGaInPクラッド層33、GaInP/AlGaInP量子井戸活性層34、p型AlGaInP第1クラッド層35、n型GaInPエッチングストップ層24'、n型AlInP電流阻止層25'、p型AlGaInP第2クラッド層36、p型GaAsコンタクト層37を有し、その上には、p型のオーミックをとるための電極(Cr/Pt)38およびp側Au電極39が形成されている。また、AlGaAs系半導体レーザ構造10およびAlGaInP系半導体レーザ構造20には、それぞれ、電流狭窄となるストライプ状の窓15aおよび25aが形成されており、これによって光導波路が実現される。

【0046】また、半導体レーザ構造20の一部には、p型GaAsコンタクト層17の上面およびn型GaAsバッファ層32の途中まで、溝部62が形成されており、溝部62内に露出した側面20a上には、絶縁膜50が形成されている。さらに、半導体レーザ構造10におけるp型GaAsコンタクト層17上には、p型のオーミックをとるための電極(Cr/Pt)41aが形成されており、その上には、n・p共通Au電極40'が形成されている。また、半導体レーザ構造20のn型GaAsバッファ層32上には、n型のオーミックをとるための電極(AuGe/Ni)41bが形成されており、その上には、n・p共通Au電極40'が形成されている。

【0047】次に、本実施形態の半導体レーザ装置200の動作について説明する。n・p共通Au電極40'

とp側Au電極39との間に電流を流すと、n型AlInP電流阻止層25'には電流が流れずに、ストライプ状の窓25aの部分にのみ電流が流れて、発振波長650nm帯のAlGaInP系半導体レーザ構造20の発振を行うことができる。一方、n・p共通Au電極40'とn側Au電極42との間に電流を流すと、n型AlGaAs電流阻止層15には電流が流れずに、ストライプ状の窓15aの部分にのみ電流が流れて、発振波長780nm帯のAlGaAs系半導体レーザ構造10の発振を行うことができる。

【0048】本実施形態でも、上記実施形態1と同様に、発振波長650nm帯のAlGaInP系半導体レーザ構造(第2半導体レーザ構造)20の側面20aに絶縁膜50が形成されているため、プロセス上での電流リークおよび組み立て上での電流リークを防ぐことができ、その結果、レーザ装置の歩留まりを上げることが可能となる。なお、上記実施形態1と同様に、第1半導体レーザ構造10と第2半導体レーザ構造20との組合せは、AlGaAs系半導体レーザ構造とAlGaInP系半導体レーザ構造との組み合わせに限定されない。

【0049】次に、図8から図11を参照しながら、本実施形態の半導体レーザ装置200の製造方法を説明する。

【0050】まず、図8(a)に示すように、n型GaAs基板60上に、例えば、有機金属成長(MOCVD)法によって、800℃程度の成長温度にて、n型GaAsバッファ層18、n型AlGaAsクラッド層11、AlGaAsバルク活性層12、p型AlGaAs第1クラッド層13、n型AlGaAsエッチングストップ層14、n型AlGaAs電流阻止層15を順次結晶成長させる。

【0051】次に、図8(b)に示すように、フォトリソグラフィ法を用いて、有機レジストパターンを形成した後、n型AlGaAs電流阻止層15の一部をウェットエッチングにより除去して、電流狭窄となるストライプ状の窓15aを形成する。その後、有機レジストパターンを除去する。

【0052】次に、図8(c)に示すように、例えば、有機金属成長(MOCVD)法によって、800℃程度の成長温度にて、p型AlGaAs第2クラッド層16、p型GaAsコンタクト層17を形成して第1半導体レーザ構造10を完成させた後、このまま続けて、第2半導体レーザ構造20(650nm帯のAlGaInP系半導体レーザ)を作製する。第2半導体レーザ構造20の作製は次のようにすればよい。まず、第1半導体レーザ構造10と第2半導体レーザ構造20とを接続するGaAsバッファ層31を形成した後、その上に、n型GaAsバッファ層32、n型AlGaInPクラッド層33、GaInP/AlGaInP量子井戸活性層34、p型AlGaInP第1クラッド層35、n型

GaInPエッチングストップ層24'、n型AlInP電流阻止層25'を順次結晶成長させる。次に、上記工程と同様にして、n型AlInP電流阻止層25'の一部を除去して、電流狭窄となるストライフ状の窓25aを形成する。その後、例えば、有機金属成長(MOCVD)法によって、800℃程度の成長温度にて、p型AlGaInP第2クラッド層36、p型GaAsコンタクト層37を順次形成する。このようにして第2半導体レーザ構造20を完成させる。

【0053】次に、n・p共通電極40'を作製する。n・p共通電極40'は次のようにして作製される。まず、図8(d)に示すように、有機レジストをパターンニングした後、例えば、ドライエッチング法によって、n型GaAsバッファ層32の途中の深さまで第2半導体レーザ構造20の一部をエッチングして、溝部62を形成する。さらに、同様の方法により、図9(a)に示すように、p型GaAsコンタクト層68上までエッチングして、溝部64を形成する。

【0054】次に、図9(b)に示すように有機レジストをパターンニングして、溝部64内に位置するn型GaAsバッファ層32の上面にレジストパターン65を形成する。次いで、例えば、真空蒸着法によって、上面全面にクロム(Cr)膜、白金(Pt)膜を蒸着して形成する。レジストパターン65の上に形成されたCr膜、Pt膜を、例えばアセトン超音波洗浄によってリフトオフすると、図10(a)に示すように、p型のオーミックをとるための電極(Cr/Pt)41a、38を形成する。

【0055】次に、電極(Cr/Pt)41aおよび38上に有機レジストをパターンニングした後、例えば、真空蒸着法によって、上面全面にAuGe/Ni膜を蒸着して形成する。次いで、レジストパターンの上に形成されたAuGe/Ni膜を例えば、アセトン超音波洗浄によってリフトオフすると、図10(b)に示すように、溝部62内のn型GaAsバッファ層32の上面に、n型のオーミックをとるための電極(AuGe/Ni)41bが形成される。

【0056】次に、図10(c)に示すように、例えば、真空蒸着法によって、上面全面にAu膜を蒸着して、Au膜66および39を形成する。次に、例えばCVD法によって、上面全面に例えば、SiO<sub>2</sub>膜またはSiN膜などの材料となる絶縁材料を堆積した後、有機レジストをパターンニングし、次いで、例えばドライエッチング法によって、図11(a)に示すように、SiO<sub>2</sub>膜またはSiN膜などの絶縁膜50を形成する。

【0057】次に、図11(b)に示すように、Au膜38の上面および絶縁膜50の上面にレジストパターン67を形成する。その後、例えば、真空蒸着法によって、上面全面にAu膜を蒸着して形成し、次いで、例えば、アセトン超音波洗浄によってリフトオフすると、図

7(1)に示すように、n・p共通Au電極40'が得られる。

【0058】最後に、n型GaAs基板30の裏面に、例えば、真空蒸着法によって裏面全面にn型のオーミックをとるための電極(AuGe/Ni)43、およびn側Au電極42を形成する。以上の工程を行うことによって、本実施形態の半導体レーザ装置200を作製することができる。

【0059】本実施形態の製造方法も、上記実施形態1と同様に、第2半導体レーザ構造20の側面20aを絶縁膜50によって被覆した状態で、電極40を作製することができるので、歩留まりを向上させることができる。

(実施形態3) 図12を参照しながら、本発明による実施形態3を説明する。第2半導体レーザ構造20の側面20aに絶縁膜50が形成された半導体レーザ装置は、上記実施形態1および実施形態2の構成に限らず、メサ型の半導体レーザ装置にも適用可能である。メサ型構造の場合、第2半導体レーザ構造20の側面20aが傾斜しているため、上記実施形態1および2の構成よりも、絶縁膜50の形成が容易になるという利点がある。

【0060】図12(c)に、本実施形態の半導体レーザ装置300の構成を模式的に示す。半導体レーザ装置300は、第2半導体レーザ構造20の側面20aが傾斜している点以外は、上記実施形態1の半導体レーザ装置100と実質的に同じである。

【0061】半導体レーザ装置300は、次のようにして作製することができる。まず、上記実施形態1の工程(図3(a)～(c)参照)にしたがって、第1半導体レーザ構造10と第2半導体レーザ構造20を作製した後、図12(a)に示すように、側面20aが傾斜した溝部68を第2半導体レーザ構造20の一部に形成する。次に、図12(b)に示すように、第2半導体レーザ構造20の側面20a上に絶縁膜50を形成する。絶縁膜50の形成は、図5に示した工程と同様に行えばよい。その後、図12(c)に示すように、電極40～45を形成すると、半導体レーザ装置300が得られる。

【0062】なお、上記実施形態では、第1導電型をn型とし、第2導電型をp型として説明を行ったが、これに限定されず、第1導電型をp型とし、第2導電型をn型として構成することも可能である。

#### 【0063】

【発明の効果】本発明によると、第2半導体レーザ構造の側面を被覆する絶縁膜が形成されているので、プロセス上の電流リークおよび組み立て上の電流リークを効果的に防止することができ、その結果、信頼性に優れた半導体レーザ装置を提供することができる。また、歩留まりを向上させることも可能である。

#### 【図面の簡単な説明】

【図1】実施形態1にかかる半導体レーザ装置100の断面図である。

【図2】半導体レーザ装置100の回路構成図である。

【図3】半導体レーザ装置100の製造方法を説明するための工程断面図である。

【図4】半導体レーザ装置100の製造方法を説明するための工程断面図である。

【図5】絶縁膜50の形成方法を説明するための工程断面図である。

【図6】実施形態2にかかる半導体レーザ装置200の断面図である。

【図7】半導体レーザ装置200の回路構成図である。

【図8】半導体レーザ装置200の製造方法を説明するための工程断面図である。

【図9】半導体レーザ装置200の製造方法を説明するための工程断面図である。

【図10】半導体レーザ装置200の製造方法を説明するための工程断面図である。

【図11】半導体レーザ装置200の製造方法を説明するための工程断面図である。

【図12】実施形態3にかかる半導体レーザ装置300の製造方法を説明するための工程断面図である。

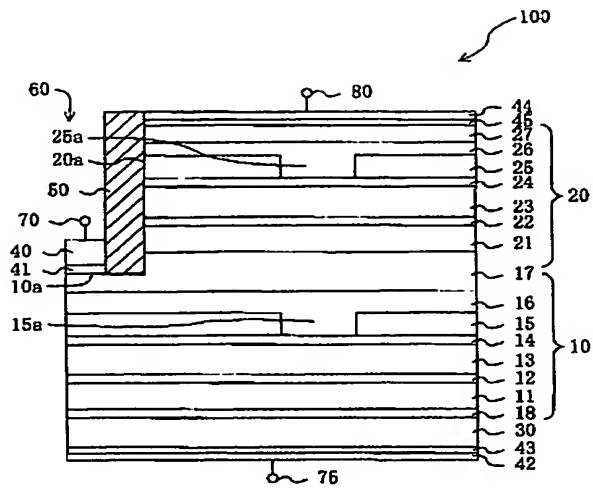
【図13】従来の半導体レーザ装置1000の断面図である。

【符号の説明】

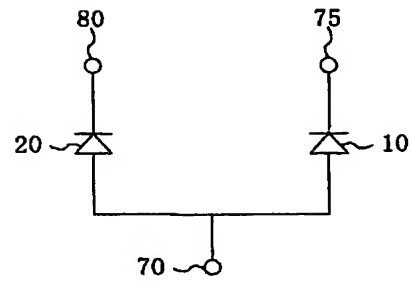
10 第1半導体レーザ構造  
11 n型AlGaAsクラッド層  
12 AlGaAsバルク活性層  
13 p型AlGaAs第1クラッド層  
14 n型AlGaAsエッチングストップ層  
15 n型AlGaAs電流阻止層  
15a、25a ストライプ状の窓（開口部）  
16 p型AlGaAs第2クラッド層  
17 p型GaAsコンタクト・バッファ層  
18 n型GaAsバッファ層  
20 第2半導体レーザ構造  
21 p型AlGaInPクラッド層  
22 GaInP/AlGaInP量子井戸活性層  
23 n型AlGaInP第1クラッド層  
24 p型GaInPエッチングストップ層  
24' n型GaInPエッチングストップ層  
25 p型AlInP電流阻止層  
25' n型AlInP電流阻止層  
26 n型AlGaInP第2クラッド層  
27 n型GaAsコンタクト層

30 n型GaAs基板（基板）  
31 GaAsバッファ層  
32 n型GaAsバッファ層  
33 n型AlGaInPクラッド層  
34 GaInP/AlGaInP量子井戸活性層  
35 p型AlGaInP第1クラッド層  
36 p型AlGaInP第2クラッド層  
37 p型GaAsコンタクト層  
43、45 n型のオーミックをとるための電極（AuGe/Ni）  
40 p側Au電極  
40' n・p共通Au電極  
41 p型のオーミックをとるための電極（Cr/Pt）  
41a p型のオーミックをとるための電極（Cr/Pt）  
41b n型のオーミックをとるための電極（AuGe/Ni）  
42、44 n側Au電極  
50 絶縁膜（SiO<sub>2</sub>膜、SiN膜）  
70、75、80 端子  
60、62、68 溝部  
100 半導体レーザ装置  
110 第1半導体レーザ構造  
111 n型クラッド層  
112 3Well SMQW-SCH活性層  
113 第1p型クラッド層  
114 エッチングストップ層  
115 n型電流ブロック層  
115a 第2p型クラッド層  
116 p型コンタクト層  
120 第2半導体レーザ構造  
121 p型クラッド層  
122 活性層  
123 第1n型クラッド層  
124 エッチングストップ層  
125 p型電流阻止層  
125a 第2n型クラッド層  
126 n型コンタクト層  
140 p側電極  
142 n側電極  
144 n側電極  
200 半導体レーザ装置  
300 半導体レーザ装置  
1000 半導体レーザ装置

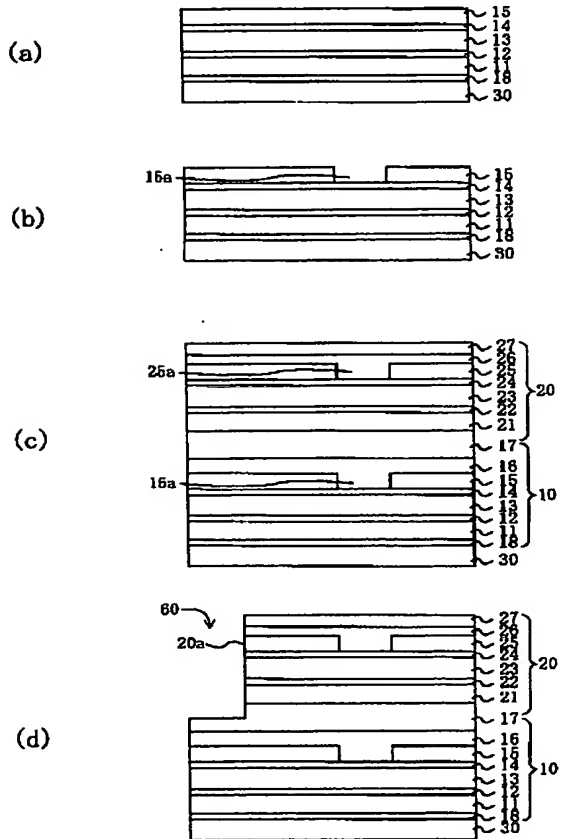
【図1】



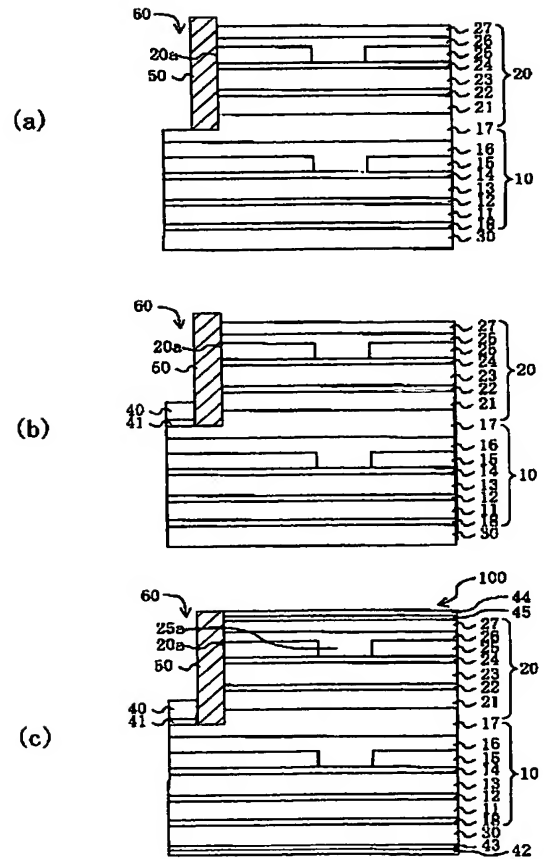
【図2】



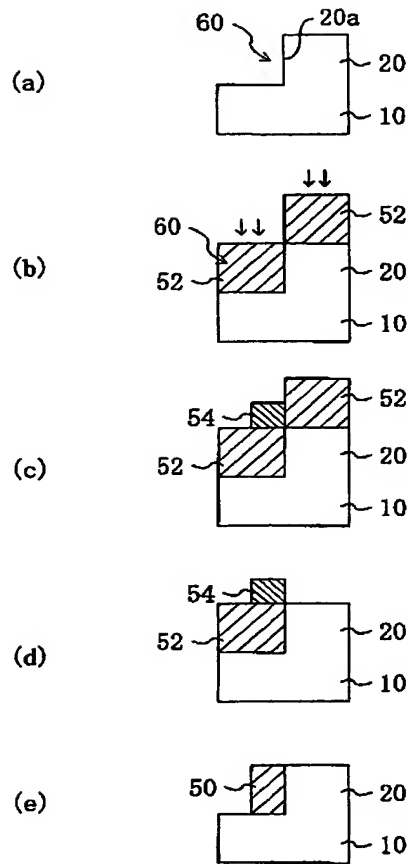
【図3】



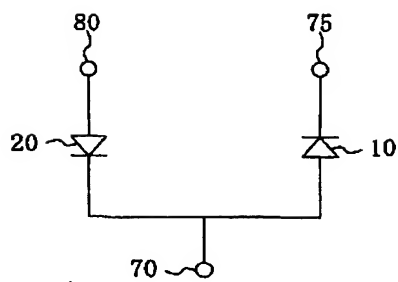
【図4】



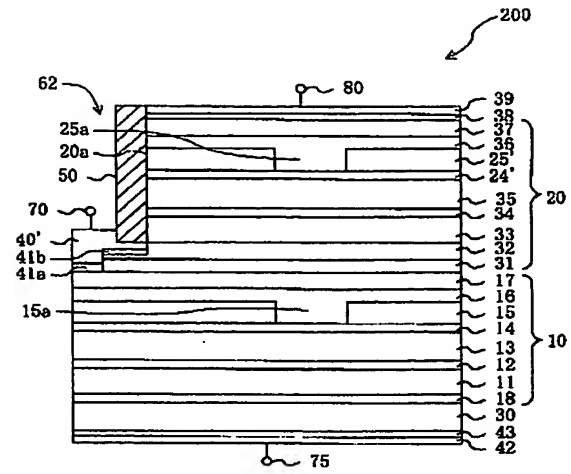
【図5】



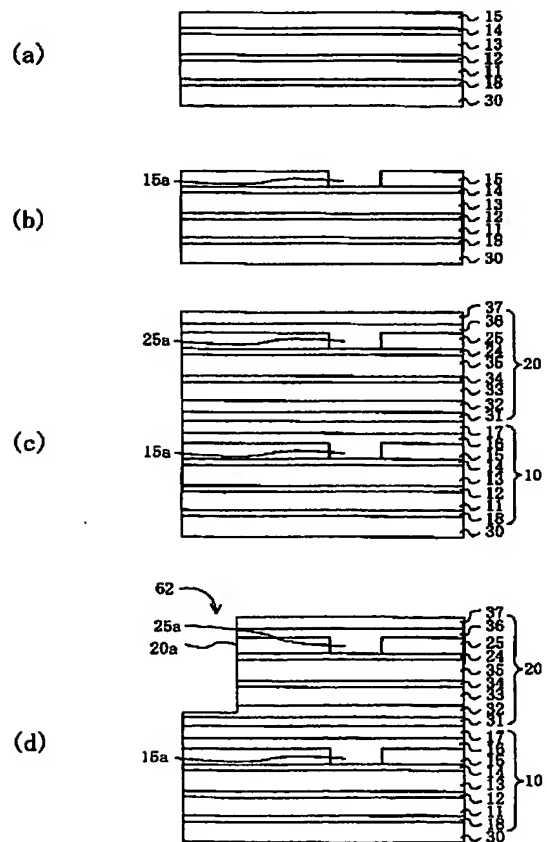
【図7】



【図6】



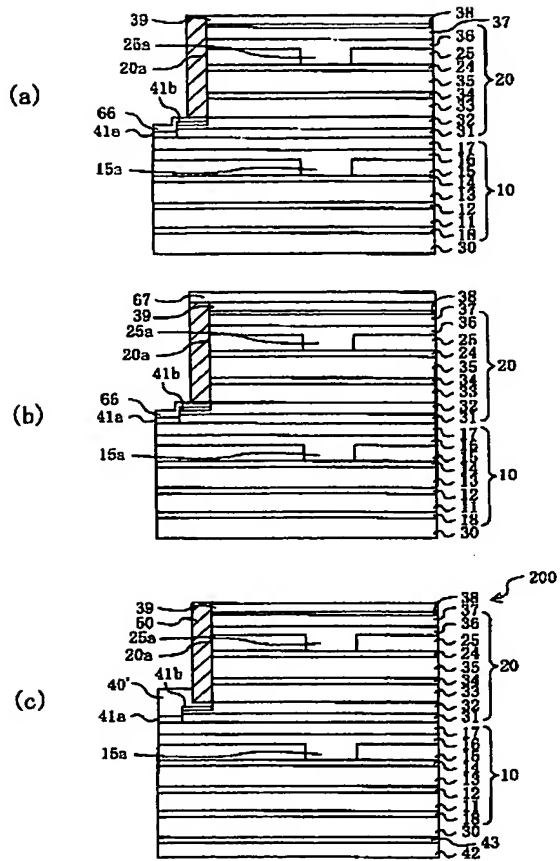
【図8】



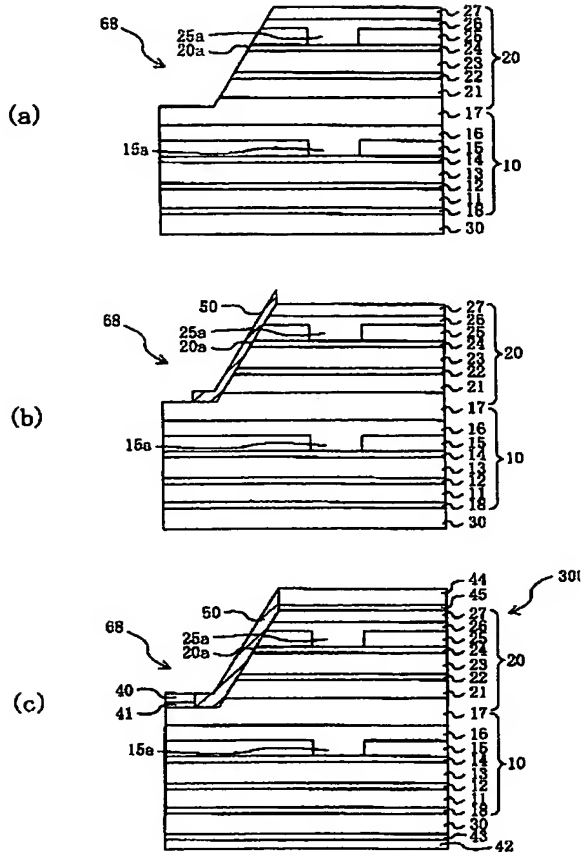




【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**